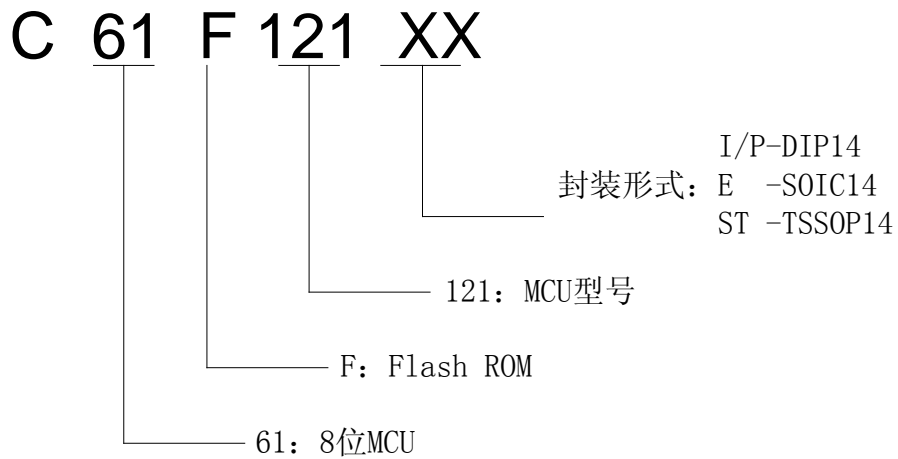


## 8 位微控制器

# C61F121 数据手册

## 产品订购信息

型号	FLASH	RAM	EEPROM	封装
C61F121-I/P	1K X 16 位	96 X 8 位	128 X 8 位	DIP-14
C61F121-E				SOIC-14
C61F121/ST				TSSOP-14



---

## 目录

1	概述.....	4
2	芯片特征.....	4
3	芯片结构和引脚.....	6
3.1	芯片结构框图.....	6
3.2	芯片引脚图.....	7
3.3	芯片引脚说明.....	8
4	存储器.....	9
4.1	程序存储器.....	9
4.2	数据存储器.....	9
5	时钟模块.....	11
6	定时器/计数器.....	11
6.1	T0 模块.....	11
6.2	T1 模块.....	11
7	模拟比较器模块.....	11
8	数据EEPROM模块.....	11
9	指令系统.....	12
10	CPU特性.....	14
10.1	低功耗休眠IDLE状态.....	14
10.2	中断逻辑.....	14
10.3	复位.....	15
11	DC参数特性.....	16
12	AC参数特性.....	20
12.1	时钟要求.....	20
13	芯片封装.....	21

## 1 概述

本芯片为哈佛结构的精简指令 CPU。在这种结构中，程序和数据存取的总线是相互独立的。指令字节长度为 16 位，所有指令都是单字节指令，大多数指令能在一个机器周期内执行完成。一共有 49 条指令，效率高，容易进行指令扩展。芯片内集成了多种外设，包括一个 8 位定时器/计数器、一个 16 位定时器/计数器、一个模拟比较器/参考电压模块、硬件看门狗和低电压检测及低电压复位模块等。

芯片内集成了 96X8 位的异步低功耗 SRAM、128X8 位的 EEPROM 和 1KX16 位的程序存储器。

## 2 芯片特征

### ● CPU

具有高性能的 RISC CPU

仅 49 条指令

支持中断处理

### ● 指令

工作频率为 DC~20MHZ, 一个机器周期为 4 个时钟周期

除部分跳转指令需要两个机器周期外，其他指令都是一个机器周期

### ● 存储器

支持直接、间接和相对寻址三种方式

1KX16 位 FLASH 程序存储器

96 字节的数据存储器

128X8 位的数据 EEPROM

复位向量位于 0000H, 中断向量位于 0004H

8 级硬件堆栈结构

### ● 特殊功能

内嵌上电复位电路

低电压检测及低电压复位

硬件看门狗

支持在线串行编程 (ICSP)

低功耗休眠模式

内部固定时钟频率 4MHZ

### ● 定时器/计数器

定时器 0: 带有 8 位预分频器的 8 位定时器/计数器

定时器 1: 带门控和预分频器的 16 位定时器/计数器

### ● 其他外设

一个模拟比较器

一个参考电压模块

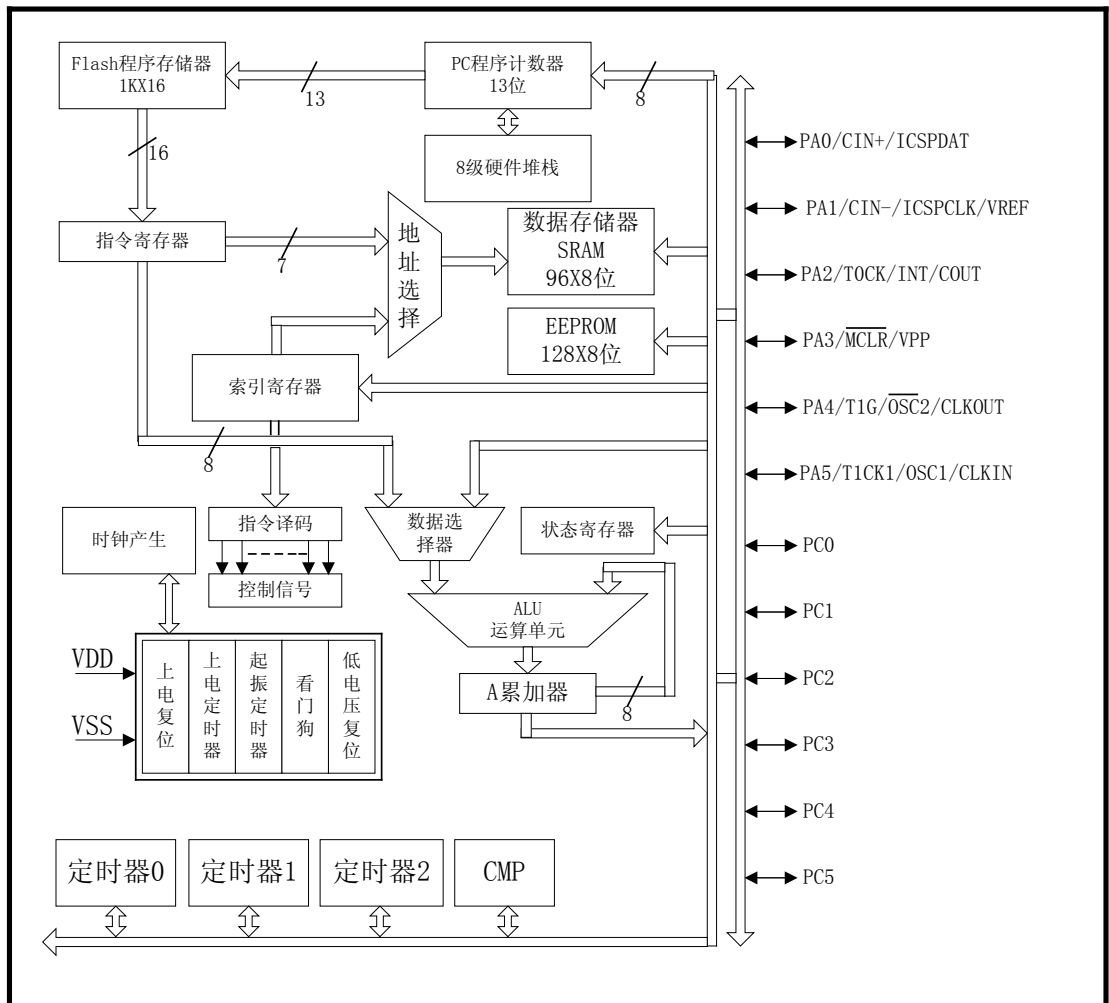
● 工作条件

工作电压：2.0V~5.5V

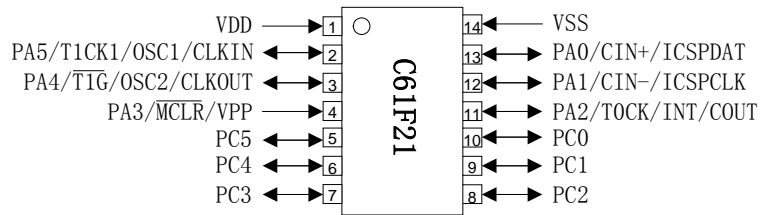
工作温度范围：-40~85℃

### 3 芯片结构和引脚

#### 3.1 芯片结构框图



### 3.2 芯片引脚图



### 3.3 芯片引脚说明

引脚号	引脚名	I/O	缓冲器类型	引脚说明
1	VDD	P	TTL	电源
2	PA5/T1CK1/OSC1/CLKIN	I/O	TTL	带可编程上拉和电平变化中断的双向输入输出端口
				定时器 1 时钟
				晶振/谐振器
				外部时钟输入/RC
3	PA4/T1G/OSC2/CLKOUT	I/O	TTL	带可编程上拉和电平变化中断的双向输入输出端口
				定时器 1 门控
				晶振/谐振器
				系统时钟输出
4	PA3/MCLR/VPP	I	TTL SMT	带可编程上拉和电平变化中断的双向输入输出端口
				主复位信号
				编程电压
5	PC5	I/O	TTL	带可编程上拉和电平变化中断的双向输入输出端口
6	PC4	I/O	TTL	带可编程上拉和电平变化中断的双向输入输出端口
7	PC3	I/O	TTL	带可编程上拉和电平变化中断的双向输入输出端口
8	PC2	I/O	TTL	带可编程上拉和电平变化中断的双向输入输出端口
9	PC1	I/O	TTL	带可编程上拉和电平变化中断的双向输入输出端口
10	PC0	I/O	TTL	带可编程上拉和电平变化中断的双向输入输出端口
11	PA2/TOCK/INT/C1OUT	I/O	TTL	带可编程上拉和电平变化中断的双向输入输出端口
				定时器 0 时钟
				外部中断
				比较器 1 输出
12	PA1/CIN1-/ICSPCLK	I/O	TTL	带可编程上拉和电平变化中断的双向输入输出端口
				ADC 模拟输入通道 1
				比较器 1 负端输入
				串行编程时钟
13	PA0/CIN1+/ICSPDAT	I/O	TTL	带可编程上拉和电平变化中断的双向输入输出端口
				比较器 1 正端输入
				串行编程数据
14	VSS	P	TTL	地, 0V 参考点

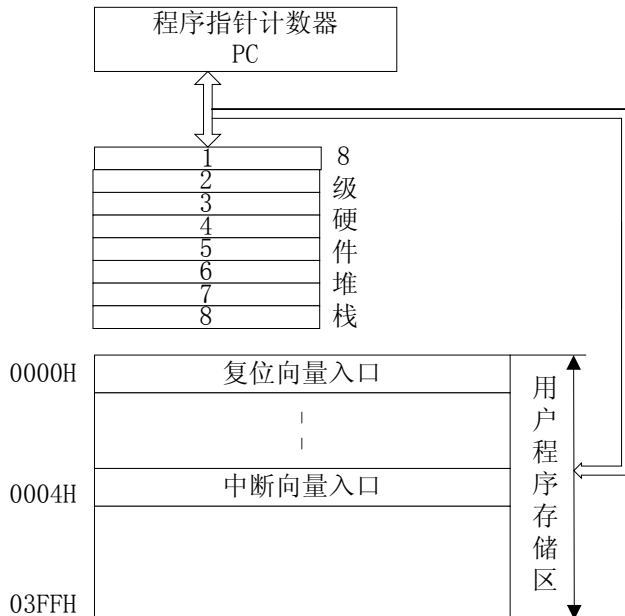


## 4 存储器

存储器由程序存储器和数据存储器组成，程序存储器和数据存储器相互独立。其中程序存储器为 1KX16 位 FLASH 存储器；数据存储器中特殊功能寄存器为 64X8 位，通用数据寄存器为 96X8 位。通用存储器采用单端口、异步低功耗 SRAM 实现。

### 4.1 程序存储器

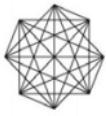
本芯片的程序计数器 PC 为 16 位字宽，理论上可寻址 64K，在本芯片中实际只实现了 1K 的程序空间，地址为 0000H~03FFH，寻址范围超过 03FFH 就会导致循环。复位向量位于 0000H，中断向量入口地址位于 0004H。



### 4.2 数据存储器

数据存储器按照功能分为 96 字节的通用数据存储器和 64 字节的特殊功能寄存器，数据存储器分为两个存储体组，每个存储体组包括 128 个地址空间，其中 32 个用于特殊功能寄存器，另外 96 个地址用于通用数据寄存器。部分地址空间被映射到相同的物理单元。具体地址分配如表 4.1 所示。

数据存储器的寻址可采用直接寻址和间接寻址。直接寻址是通过指令码中的操作数直接寻址，间接寻址是通过索引寄存器 FSR 来实现，即 FSR 内保存的数据就是被间接寻址寄存器的地址，而被间接寻址的寄存器数据通过对寄存器 INDF 的读和写操作来获得。



地址	寄存器名称	地址	寄存器名称
00H	INDF	80H	INDF
01H	T0	81H	OPTION_REG
02H	PCL	82H	PCL
03H	STATUS	83H	STATUS
04H	FSR	84H	FSR
05H	PA	85H	TRISA
06H	未用	86H	未用
07H	PC	87H	TRISC
08H	未用	88H	未用
09H	未用	89H	未用
0AH	PCLATH	8AH	PCLATH
0BH	INTCTL	8BH	INTCTL
0CH	PIR1	8CH	PIE1
0DH	未用	8DH	未用
0EH	T1L	8EH	PCTL
0FH	T1H	8FH	未用
10H	T1CTL	90H	OSCCAL
11H	未用	91H	未用
12H	未用	92H	未用
13H	未用	93H	未用
14H	未用	94H	未用
15H	未用	95H	WPU
16H	未用	96H	IOCA
17H	未用	97H	未用
18H	未用	98H	未用
19H	CMCTL0	99H	VRCTL
1AH	未用	9AH	EEDAT
1BH	未用	9BH	EEADR
1CH	未用	9CH	EECTL1
1DH	未用	9DH	EECTL2
1EH	未用	9EH	未用
1FH	未用	9FH	未用
20H ~ 7FH	通用数据寄存器区 96 字节	A0H ~ FFH	映射到 20H~7FH

## 5 时钟模块

C61F121 有多种时钟源可以选择。根据实际需要可选择的时钟有 EC、LP、XT、HS、RC 和内部时钟源，从而使其应用更为广泛和灵活。

## 6 定时器/计数器

### 6.1 T0 模块

T0 是一个 8 位可读写的定时器/计数器，CPU 可对 T0 寄存器进行读写操作。T0 与 WDT 共用一个 8 位的可编程预分频器。T0 的计数值存放在 T0 寄存器中，休眠模式下将停止计数。T0 的递增可由内部或外部的时钟来触发。

通常情况下，使用内部时钟时称之为定时器模式(Timer Mode)，使用外部时钟称为计数器模式(Counter Mode)。选择外部时钟时，计数时钟的边沿可进行选择。

### 6.2 T1 模块

T1 是一个 16 位的定时器/计数器，由两个 8 位可读写的寄存器(T1H 和 T1L)组成。CPU 可对 T1 寄存器进行读写操作。T1 寄存器的计数值从 0000H 递增到 FFFFH，然后再回到 0000H。

## 7 模拟比较器模块

芯片有一个模拟比较器模块，端口 PA0、PA1 和参考电压可以作为比较器 1 的输入。控制寄存器 CMCTL0 确定比较器的工作模式。

该模块有 8 种工作模式，分别对应不同的输入和输出，在各种工作模式下，端口 PA0 和 PA1 设置在不同的输入模式。在对应的工作模式下，比较器的输出可通过 PA2 输出。

## 8 数据EEPROM模块

芯片有一个 128X8 位的数据 EEPROM 模块，地址为 00H~7FH，可在正常程序执行期间进行读写。对 EEPROM 的读写是通过 4 个特殊功能寄存器 EECTL1、EEDAT、EEADR 和 EECTL2 来实现的。

## 9 指令系统

C61F121 提供了 49 条精简指令。每条指令都是 16 位字，由操作码和一个或多个操作数组成，有 2 个操作数的指令第一个操作数为目的操作数，第二个操作数为源操作数。

除了部分条件跳转与控制流程的指令为双周期指令，其他指令为单周期指令。这些双周期指令包括 JMP、CALL、RET、RETIE、RETIA 以及满足跳转条件的转移指令 JBS、JBC、JDEC 和 JINC 指令。单片机运行在 4MHZ 振荡时钟时，一个机器周期的时间为 1 $\mu$ s。

下表为 C61F121 的指令集。

指令	指令代码	状态位	说明
NOP	0000 0000 0000 0000		空操作
RET	0000 0000 0000 1000		从子程序返回
RETIA	0011 01xx kkkk kkkk		返回时立即数送累加器 A
RETIE	0000 0000 0000 1001		中断返回
WDTC	0000 0001 0110 0100		看门狗清 0
IDLE	0000 0000 0110 0011		进入休眠模式
MOV A, R	0100 1000 0rrr rrrr		将 R 送给 A
MOV R, R	0100 1000 1rrr rrrr		将 R 送给 R
MOV R, A	0100 0000 1rrr rrrr		将 A 送给 R
CLRA	0100 0001 0rrr rrrr	Z	清累加器 A
CLR R	0100 0001 1rrr rrrr	Z	清寄存器 R
ADD A, R	1100 0111 0rrr rrrr	C, DC, Z	A 和 R 相加，结果存入 A
ADD R, A	1100 0111 1rrr rrrr	C, DC, Z	A 和 R 相加，结果存入 R
AND A, R	1100 0101 0rrr rrrr	Z	A 和 R 逻辑与，结果存入 A
AND R, A	1100 0101 1rrr rrrr	Z	A 和 R 逻辑与，结果存入 R
OR A, R	1100 0100 0rrr rrrr	Z	A 和 R 逻辑或，结果存入 A
OR R, A	1100 0100 1rrr rrrr	Z	A 和 R 逻辑或，结果存入 R
XOR A, R	1100 0110 0rrr rrrr	Z	A 和 R 异或，结果存入 A
XOR R, A	1100 0110 1rrr rrrr	Z	A 和 R 异或，结果存入 R
SUB A, R	1100 0010 0rrr rrrr	C, DC, Z	R 减去 A，结果存入 A
SUB R, A	1100 0010 1rrr rrrr	C, DC, Z	R 减去 A，结果存入 R
COMA R	1100 1001 0rrr rrrr	Z	R 取补，结果存入 A
COM R	1100 1001 1rrr rrrr	Z	R 取补，结果存入 R
RLCA R	1100 1101 0rrr rrrr	C	R 带进位左移，结果存入 A
RLC R	1100 1101 1rrr rrrr	C	R 带进位左移，结果存入 R
RRCA R	1100 1100 0rrr rrrr	C	R 带进位右移，结果存入 A
RRC R	1100 1100 1rrr rrrr	C	R 带进位右移，结果存入 R
SWAPA R	1100 1110 0rrr rrrr		R 半字节交换，结果存入 A
SWAP R	1100 1110 1rrr rrrr		R 半字节交换，结果存入 R
DECA R	1100 0011 0rrr rrrr	Z	R 减 1，结果存入 A
DEC R	1100 0011 1rrr rrrr	Z	R 减 1，结果存入 R
INCA R	1100 1010 0rrr rrrr	Z	R 加 1，结果存入 A
INC R	1100 1010 1rrr rrrr	Z	R 加 1，结果存入 R
BC R, b	1101 00bb brrr rrrr		R 对应位清 0
BS R, b	1101 01bb brrr rrrr		R 对应位置 1
MOV A, k	0111 00xx kkkk kkkk		立即数送给累加器 A
ADD A, k	1111 111x kkkk kkkk	C, DC, Z	立即数和 A 相加

AND	A, k	1111 1001 kkkk kkkk	Z	立即数和 A 逻辑与
OR	A, k	1111 1000 kkkk kkkk	Z	立即数和 A 逻辑或
XOR	A, k	1111 1010 kkkk kkkk	Z	立即数和 A 逻辑异或
SUB	A, k	1111 110x kkkk kkkk	C, DC, Z	立即数和 A 相减
CALL	k	1010 0kkk kkkk kkkk		调用子程序
JMP	k	1010 1kkk kkkk kkkk		跳转
JINC	R, A	1000 1111 0rrr rrrr	Z	R 加 1 存入 A, 为 0 跳转
JINC	R	1000 1111 1rrr rrrr	Z	R 加 1 存入 R, 为 0 跳转
JDEC	R, A	1000 1011 0rrr rrrr	Z	R 减 1 存入 A, 为 0 跳转
JDEC	R	1000 1011 1rrr rrrr	Z	R 减 1 存入 R, 为 0 跳转
JBC	R, b	1001 10bb brrr rrrr		如果 R 的对应位为 0 跳转
JBS	R, b	1001 11bb brrr rrrr		如果 R 的对应位为 1 跳转

注：x—任意，k—立即数，r—寄存器，b—某位，f—标志位，A—累加器 A，R 寄存器 R

## 10 CPU特性

### 10.1 低功耗休眠IDLE状态

通过执行一条指令 IDLE，即可使微控制器进入休眠状态。进入休眠状态之后，外部振荡器停止振荡，所有 I/O 端口将保持进入 IDLE 前的状态。

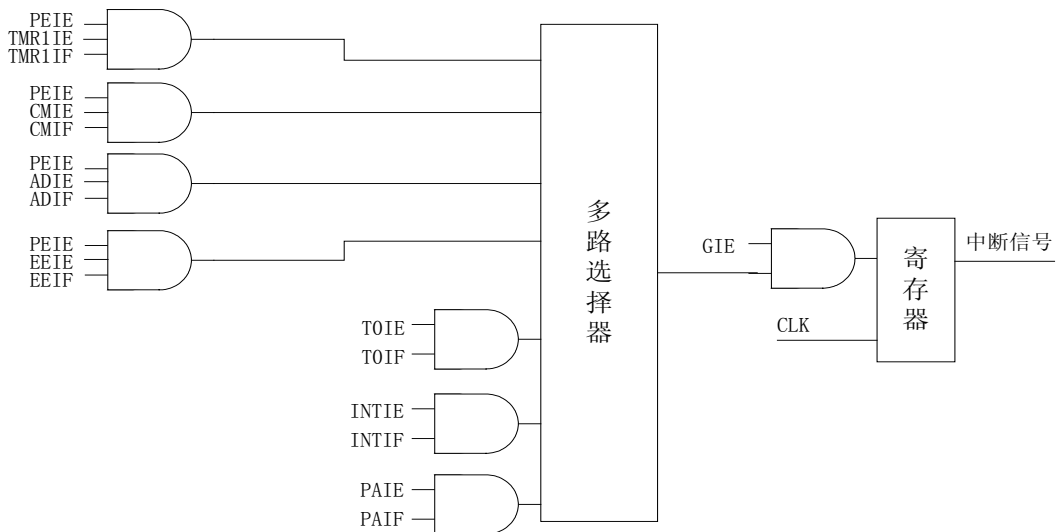
芯片可通过以下事件把微控制器从休眠状态唤醒：

- 在 MCLR 端口上施加一个有效低电平
- 在异步计数器方式下的 T1 溢出中断
- PA2/INT 信号沿跳变中断
- PA0~PA5 的电平变化中断
- WDT 计数溢出中断
- 比较器比较中断
- ADC 转换中断

### 10.2 中断逻辑

C61F121 共有 7 个中断源，其中 3 个内部中断(包括定时器/计数器 0、外部端口 PA2 信号沿跳变中断和 PA 口电平变化中断)、4 个外设中断(包括定时器/计数器 1 中断、比较器 1 中断、ADC 转换中断和数据 EEPROM 中断)。中断入口地址为 0004H。

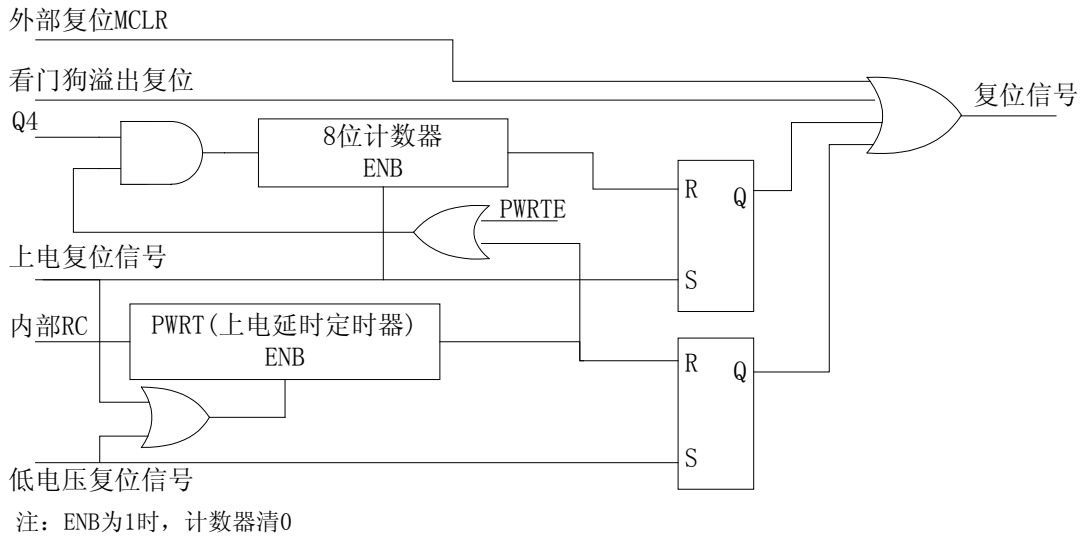
中断现场保护是中断程序中一个很重要的组成部分。由于指令系统中没有 PUSH(压栈)和 POP(出栈)指令，所以只能用其他指令实现数据保护。通常需要保存的数据包括：工作寄存器 A，状态寄存器中 STATUS 和需要保护的用户数据寄存器。



图：中断逻辑

### 10.3 复位

- 上电复位 POR
- 欠压检测 BOD
- 通过外部引脚 MCLR 加低电平复位
- 在 WDT 使能时看门狗 WDT 超时复位



图：芯片复位原理图

## 11 DC参数特性

### ◆ 最大标称值 ( $V_{SS}=0V$ )

参数	符号	条件	标称值	单位
电源电压	$V_{DD}$	-		
输入电压	$V_{IN}$	-		
输出电压	$V_{OUT}$	-		
存储温度	$T_{stg}$	-		
操作温度	$T_{opr}$	$V_{DD}=3.5\sim 5.5V$		

### ◆ 直流特性表

#### ★ 芯片功耗特性参数表

芯片工作温度范围: $-40^{\circ}C\sim 85^{\circ}C$						
参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	$V_{DD}$				V	全 $V_{DD}$ 范围
芯片静态电流	$I_{DD}$				mA	上电复位, $V_{DD}=5V$ , 所有的 I/O 输入低电平, $MCLR=0$ , OSC1 低电平, OSC2 不接负载。
休眠模式下 芯片电流	$I_{PD}$				mA	$V_{DD}=5V$ , 进入休眠模式, HS 模式。
正常运行模式 芯片电流	$I_{OP}$				mA	$V_{DD}=5V$ , 正常运行, 4MHZ 时钟输入, 输出 I/O 端口不接负载。
$V_{DD}$ 管脚的 最大输出电流	$I_{MDD}$				mA	$V_{DD}=5V$
$V_{SS}$ 管脚的 最大输出电流	$I_{MSS}$				mA	$V_{DD}=5V$
输出电流 (每个端口)	$I_o$				mA	$V_{DD}=5V$



★ 芯片输入端口特性

芯片工作温度范围：-40℃~85℃						
参数	符号	最小值	典型值	最大值	单位	测试条件
PA 口输入高电平	V <sub>IH</sub>				V	2.0V ≤ VDD ≤ 5.5V
PB 口输入高电平					V	
主复位信号 MCLR 输入高电平 (有施密特输入特性)					V	
PA 口输入低电平	V <sub>IL</sub>				V	
PB 口输入低电平					V	
主复位信号 MCLR 输入低电平					V	
PA、PB 端口输入漏电流	I <sub>IL</sub>				uA	2.0V ≤ VDD ≤ 5.5V V <sub>ss</sub> ≤ V <sub>pin</sub> ≤ VDD (引脚处于高阻状态)
主复位端口漏电流					uA	V <sub>ss</sub> ≤ V <sub>pin</sub> ≤ VDD
PA 输入弱上拉电流					uA	2.0V ≤ VDD ≤ 5.5V V <sub>pin</sub> = V <sub>ss</sub>

★ 芯片供电电流特性

芯片工作温度范围：-40℃~85℃						
序号	最小值	典型值	最大值	单位	条件	
					VDD	注
1		150		uA	2.0	Fosc=1MHZ XT 振荡模式
		310		uA	3.0	
		1.1		uA	5.0	
2		250		uA	2.0	Fosc=4MKHZ XT 振荡模式
		470		uA	3.0	
		1.4		uA	5.0	
3		70		uA	2.0	Fosc=1MHZ EC 振荡模式
		27		uA	3.0	
		1.1		uA	5.0	
4		待定		uA	2.0	Fosc=4MHZ EC 振荡模式
			uA	3.0		
			uA	5.0		
5		300		uA	2.0	Fosc=4MHZ INTOSC 振荡模式
		580		uA	3.0	
		1.8		uA	5.0	
6		300		uA	2.0	Fosc=4MHZ EXTRC 振荡模式
		500		uA	3.0	
		1.5		uA	5.0	
7		待定		mA	4.5	Fosc=20MHZ
				mA	5.0	HS 振荡模式

★ I/O 端口直流特性

芯片工作温度范围: -40°C~85°C						
符号	特性	最小值	典型值	最大值	单位	条件
VIL	输入低电压				V	4.5V ≤ VDD ≤ 5.5V
	带 TTL 缓冲器				V	
	带施密特触发缓冲器				V	
	MCLR、OSC1 (RC 模式)				V	
	OSC1 (XT 和 LP 模式)				V	
VIH	输入高电压				V	4.5V ≤ VDD ≤ 5.5V
	带 TTL 缓冲器				V	
	带施密特触发缓冲器				V	
	MCLR				V	
	OSC1 (RC 模式)				V	
IPUR	PA 端口弱上拉电流				μA	VDD=5.0V, VPIN=VSS
	IIL					
IIL	输入泄漏电流				μA	VSS ≤ VPIN ≤ VDD 引脚处于高阻态
	I/O 端口				μA	VSS ≤ VPIN ≤ VDD
	MCLR OSC1				μA	VSS ≤ VPIN ≤ VDD XT、HS 和 LP 模式
IOL	输出低电压				V	IOL=8.5mA, VDD=4.5V IOL=1.6mA, VDD=4.5V
	I/O 端口 OSC2/CLKOUT (RC 模式)				V	

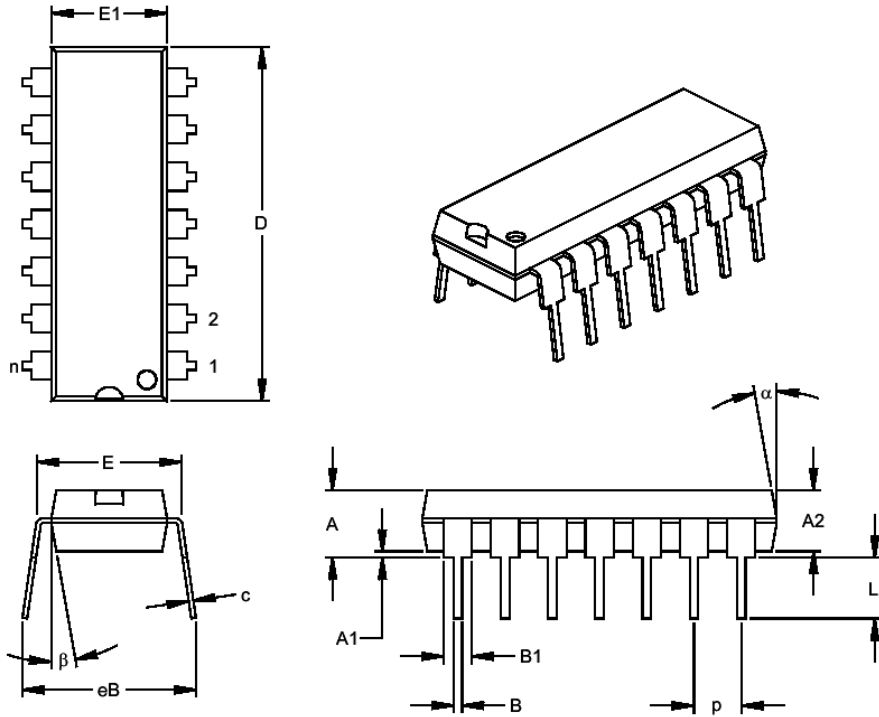
## 12 AC参数特性

### 12.1 时钟要求

参数	符号	最小值	典型值	最大值	单位	测试条件
外部时钟频率	Fosc				MHZ	晶体振荡模式
时钟振荡频率					MHZ	晶体振荡模式
外部时钟周期	Tosc				ns	晶体振荡模式
时钟振荡周期					ns	晶体振荡模式
机器周期	Tinst				ns	Tinst=4/Fosc
外部时钟高电平和低电平时间	T1sL, TosH				ns	晶体振荡模式
外部时钟上升和下降时间	TosR, TosF				ns	晶体振荡模式

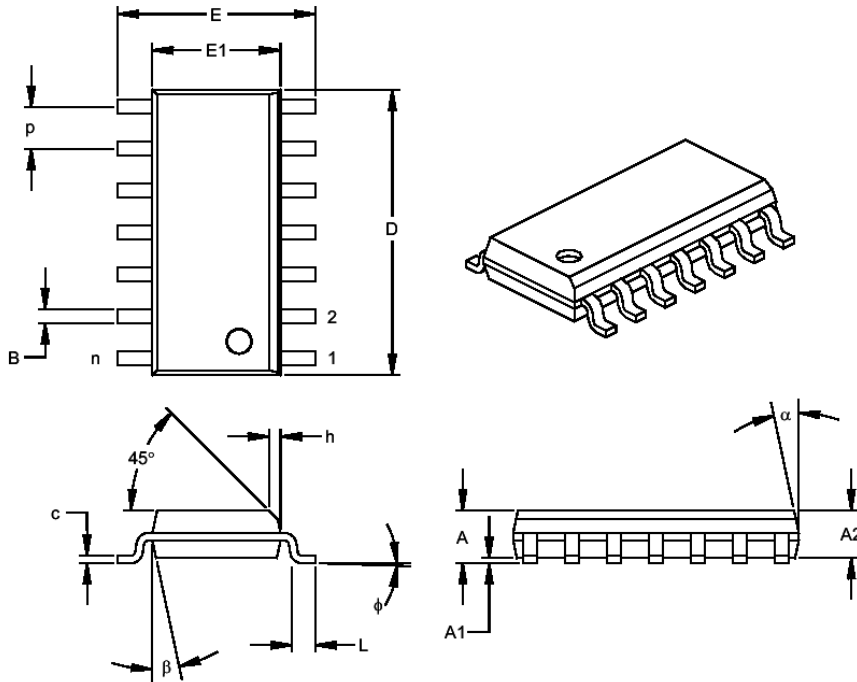
## 13 芯片封装

### 14 脚 DIP 封装



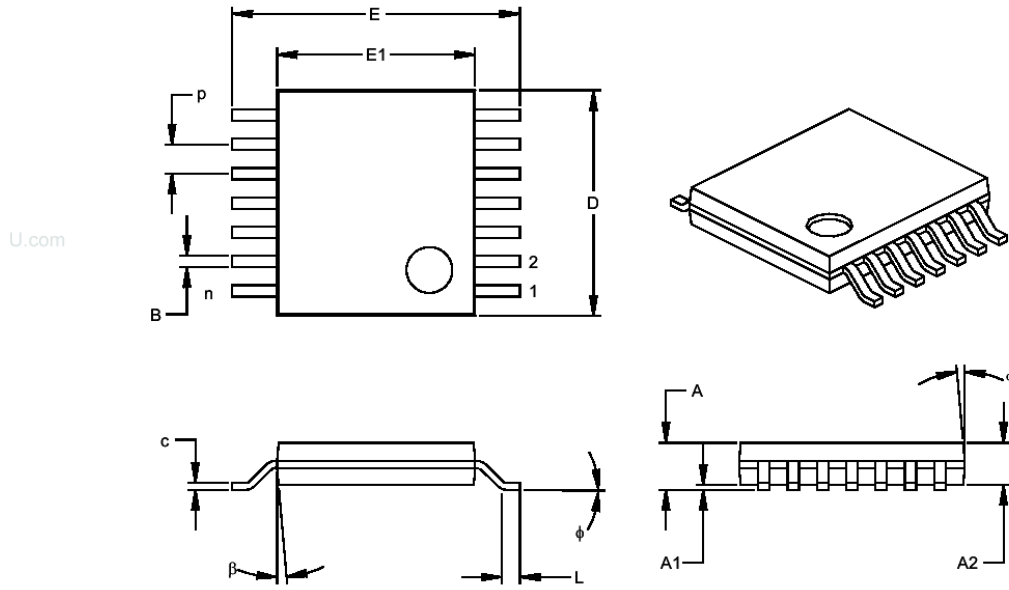
Units		INCHES*			MILLIMETERS		
Dimension	Limits	MIN	NOM	MAX	MIN	NOM	MAX
Number of Pins	n		14			14	
Pitch	p		.100			2.54	
Top to Seating Plane	A	.140	.155	.170	3.56	3.94	4.32
Molded Package Thickness	A2	.115	.130	.145	2.92	3.30	3.68
Base to Seating Plane	A1	.015			0.38		
Shoulder to Shoulder Width	E	.300	.313	.325	7.62	7.94	8.26
Molded Package Width	E1	.240	.250	.260	6.10	6.35	6.60
Overall Length	D	.740	.750	.760	18.80	19.05	19.30
Tip to Seating Plane	L	.125	.130	.135	3.18	3.30	3.43
Lead Thickness	c	.008	.012	.015	0.20	0.29	0.38
Upper Lead Width	B1	.045	.058	.070	1.14	1.46	1.78
Lower Lead Width	B	.014	.018	.022	0.36	0.46	0.56
Overall Row Spacing	§ eB	.310	.370	.430	7.87	9.40	10.92
Mold Draft Angle Top	α	5	10	15	5	10	15
Mold Draft Angle Bottom	β	5	10	15	5	10	15

## 14 脚 SOIC 封装



Dimension Limits	Units	INCHES*			MILLIMETERS		
		MIN	NOM	MAX	MIN	NOM	MAX
Number of Pins	n		14			14	
Pitch	p		.050			1.27	
Overall Height	A	.053	.061	.069	1.35	1.55	1.75
Molded Package Thickness	A2	.052	.056	.061	1.32	1.42	1.55
Standoff $\xi$	A1	.004	.007	.010	0.10	0.18	0.25
Overall Width	E	.228	.236	.244	5.79	5.99	6.20
Molded Package Width	E1	.150	.154	.157	3.81	3.90	3.99
Overall Length	D	.337	.342	.347	8.56	8.69	8.81
Chamfer Distance	h	.010	.015	.020	0.25	0.38	0.51
Foot Length	L	.016	.033	.050	0.41	0.84	1.27
Foot Angle	$\phi$	0	4	8	0	4	8
Lead Thickness	c	.008	.009	.010	0.20	0.23	0.25
Lead Width	B	.014	.017	.020	0.36	0.42	0.51
Mold Draft Angle Top	$\alpha$	0	12	15	0	12	15
Mold Draft Angle Bottom	$\beta$	0	12	15	0	12	15

14 脚 TSSOP 封装



Units		INCHES			MILLIMETERS*		
Dimension	Limits	MIN	NOM	MAX	MIN	NOM	MAX
Number of Pins	n		14			14	
Pitch	p		.026			0.65	
Overall Height	A			.043			1.10
Molded Package Thickness	A2	.033	.035	.037	0.85	0.90	0.95
Standoff §	A1	.002	.004	.006	0.05	0.10	0.15
Overall Width	E	.246	.251	.256	6.25	6.38	6.50
Molded Package Width	E1	.169	.173	.177	4.30	4.40	4.50
Molded Package Length	D	.193	.197	.201	4.90	5.00	5.10
Foot Length	L	.020	.024	.028	0.50	0.60	0.70
Foot Angle	φ	0	4	8	0	4	8
Lead Thickness	c	.004	.006	.008	0.09	0.15	0.20
Lead Width	B	.007	.010	.012	0.19	0.25	0.30
Mold Draft Angle Top	α	0	5	10	0	5	10
Mold Draft Angle Bottom	β	0	5	10	0	5	10